

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-163977
(P2000-163977A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 4 1 5 B 0 2 5
16/04		H 0 1 L 27/10	4 8 1 5 F 0 0 1
16/06		G 1 1 C 17/00	6 2 2 E 5 F 0 8 3
H 0 1 L 27/115			6 3 3 B
27/10	4 8 1		6 3 4 F

審査請求 未請求 請求項の数 8 O L (全 20 頁) 最終頁に続く

(21)出願番号 特願平10-331242
(22)出願日 平成10年11月20日(1998.11.20)

(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 信方 浩美
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内
(74)代理人 100094053
弁理士 佐藤 隆久

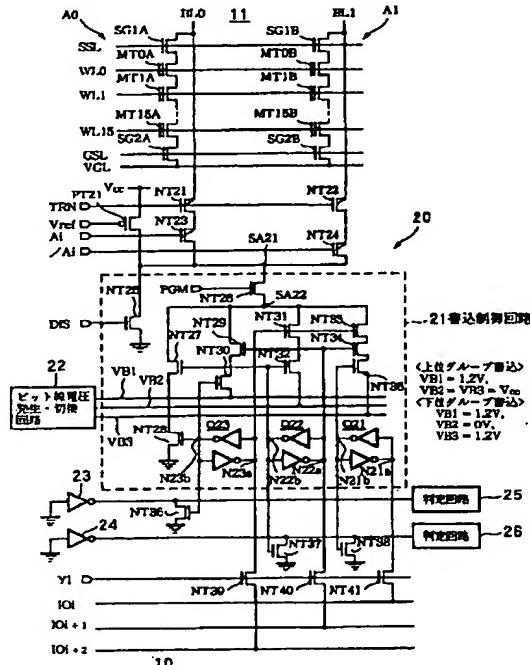
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置及びそのデータ書き込み方法

(57)【要約】

【課題】多値型のNAND不揮発性メモリで、しきい値電圧が低い書き込みレベルのメモリセルのディスチーブ特性を改善し、かつ書き込み効率を上げる。

【解決手段】複数ビットのデータのうち上位のグループのデータの書き込みを行った後、最下位の書き込みデータが属する最下位グループのデータの書き込みを行い、かつ、例えばページ内で複数種類のデータを並列に書き込むことが可能な書き制御回路21を有する。書き制御回路21は、複数のラッチ回路(Q21等)と、ビット線(BL0等)の印加電圧としてVB1~VB3を供給する複数のビット線電圧供給線と、これらに接続されてVB1~VB3を発生させてグループ間の書き込みで切り換えるビット線電圧発生・切換回路22と、書き込み時にラッチ回路内データに応じてビット線とビット線電圧供給線との接続を制御する電圧供給制御回路(NT27~NT35で構成)とを有する。



1

【特許請求の範囲】

【請求項1】ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、消去状態からのしきい値電圧の変化量に応じて複数ビットのデータを单一メモリセル内に記憶することが可能な不揮発性半導体記憶装置であって、

データ書き込み時に、前記複数ビットのデータのうち消去状態からのしきい値電圧の変化量が最も小さいデータが属する最下位グループより上位のグループのデータの書き込みを行った後、前記最下位グループのデータの書き込みを行い、かつ、各グループの書き込みにおいて、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを並列に書き込むことが可能な書込制御回路を有する不揮発性半導体記憶装置。

【請求項2】前記書込制御回路は、同一ワード線に接続された同一ページ内の複数のメモリセルに対し、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを、前記ビット線への印加電圧を変えて並列に書き込む請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記書込制御回路は、前記データのビット数に対応した数の複数のラッチ回路と、

前記ビット線の印加電圧を異なる電圧値で供給する複数のビット線電圧供給線と、

前記複数のビット線電圧供給線に接続され、前記ビット線の印加電圧を発生させ、少なくとも前記グループ間の書き込みで切り換えて前記複数のビット線電圧供給線に出力するビット線電圧発生・切換回路と、

前記複数のラッチ回路と前記ビット線電圧供給線との間に接続され、書き込み時に前記ラッチ回路に設定された書き込みデータに応じて、前記ビット線と前記ビット線電圧供給線との接続を制御する電圧供給制御回路とを有する請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記書込制御回路は、前記グループごとの書き込みを前記複数のビットの1ビットを固定し、他を任意とすることにより行い、

前記上位のグループに対するデータの書き込み時に、任意とするビットに対応する前記ビット線電圧供給線に電源電圧を供給する請求項3に記載の不揮発性半導体記憶装置。

【請求項5】前記上位のグループは、最上位ビットが所定コードに固定されたデータ群であり、

前記最下位グループは、最上位ビットが前記所定コードの反転コードに固定されたデータ群である請求項4に記載の不揮発性半導体記憶装置。

【請求項6】前記書込制御回路は、前記複数のラッチ回路および前記複数の電圧供給制御回路を複数のビット線ごとに有し、

当該複数のビット線から1つのビット線を選択して前記書込制御回路に接続させるビット線選択手段が、ビット

2

線ごとに接続されている請求項4に記載の不揮発性半導体記憶装置。

【請求項7】前記ビット線に接続された第1選択トランジスタと基準電位供給線に接続された第2選択トランジスタとの間に、前記メモリセルが複数個、直列に接続されている請求項1に記載の不揮発性半導体記憶装置。

【請求項8】ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量を変化させ、その変化に応じてしきい値電圧を変化させ、消去状態からのしきい値電圧の変化量に応じて複数ビットのデータを单一メモリセル内に記憶させる不揮発性半導体記憶装置の書き込み方法であって、

書き込み時に、前記複数ビットのデータのうち消去状態からのしきい値電圧の変化量が最も少ないデータが属する最下位グループより上位のグループのデータの書き込みを行った後、前記最下位グループのデータの書き込みを行い、かつ、各グループの書き込みにおいて、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを並列に書き込む不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、消去状態からのしきい値電圧の変化量に応じて複数ビットのデータを单一メモリセル内に記憶する多値型の不揮発性半導体記憶装置及びそのデータ書き込み方法に関する。

【0002】

【従来の技術】フラッシュメモリ等の不揮発性半導体記憶装置においては、1個のメモリセルトランジスタに “0” と “1” の2つの値をとるデータを記録する2値型のメモリセルが主流である。また、最近の半導体記憶装置の大容量化の要望に伴い、1個のメモリセルトランジスタに複数ビットのデータを記録する、いわゆる多値型の不揮発性半導体記憶装置が提案されている（たとえば、“A MultiLevel-Cell 32Mb Flash Memory”, 1995 ISSCC. pp132～参照）。

【0003】図8はNAND型フラッシュメモリにおいて、1個のメモリトランジスタに2ビットの4値データを記録する場合の、しきい値電圧Vth分布とデータ内容との関係を示す図である。

【0004】図8において、縦軸はメモリトランジスタのしきい値電圧Vthを、横軸はメモリトランジスタの分布頻度をそれぞれ表している。また、1個のメモリトランジスタに記録するデータを構成する2ビットデータの内容は、“IOn+1 IOn” で表され、“11”, “10”, “01”, “00” の4状態が存在する。

【0005】そして、多値データの書き込みをページ単位（ワード線単位）で行うNAND型フラッシュメモリが提案されている（たとえば、“A 3.3V 128Mb Multi-Level NAND Flash Memory For Mass Storage Application”

" , 1996 IEEE International Solid-State Circuits Conference, ISSCC96/SESSION 2/FLASH MEMORY/PAPERTP 2.1, pp32-33 参照)。

【0006】図9は、上記文献に開示されたページ単位で書き込みを行うNAND型フラッシュメモリの要部構成を示す回路図である。図9において、1はメモリセルアレイ、2は書込／読出制御回路、BL2, BL1はビット線をそれぞれ示している。

【0007】メモリセルアレイ1は、それぞれメモリセルが共通のワード線WL0～WL15に接続されたメモリストリングA0, A1により構成されている。メモリストリングA0はビット線BL1に接続され、メモリストリングA1はビット線BL2に接続されている。メモリストリングA0は、フローティングゲートを有する不揮発性メモリ素子としてのメモリセルトランジスタMT0A～MT15Aが直列に接続されたNAND列を有している。このNAND列のメモリセルトランジスタMT0Aのドレインが選択ゲートSG1Aを介してビット線BL1に接続され、メモリセルトランジスタMT15Aのソースが選択ゲートSG2Aを介して基準電位線VGLに接続されている。メモリストリングA1は、フローティングゲートを有する不揮発性メモリ素子としてのメモリセルトランジスタMT0B～MT15Bが直列に接続されたNAND列を有している。このNAND列のメモリセルトランジスタMT0Bのドレインが選択ゲートSG1Bを介してビット線BL2に接続され、メモリセルトランジスタMT15Bのソースが選択ゲートSG2Bを介して基準電位線VGLに接続されている。

【0008】選択ゲートSG1A, SG1Bのゲートが選択信号供給線SSLに共通に接続され、選択ゲートSG2A, SG2Bのゲートが選択信号供給線 GSLに共通に接続されている。

【0009】書込／読出制御回路2は、nチャネルMOS (NMOS) トランジスタNT1～NT17、pチャネルMOS (PMOS) トランジスタPT1、およびインバータの入出力同士を結合してなるラッチ回路Q1, Q2により構成されている。

【0010】NMOSトランジスタNT1は電源電圧Vccの供給ラインとビット線BL1との間に接続され、ゲートが禁止信号IHB1の供給ラインに接続されている。NMOSトランジスタNT2は電源電圧Vccの供給ラインとビット線BL2との間に接続され、ゲートが禁止信号IHB2の供給ラインに接続されている。NMOSトランジスタNT3およびNMOSトランジスタNT1の接続点とメモリストリングA0およびビット線BL1の接続点の間にはデプレッション型のNMOSトランジスタNT18が接続され、NMOSトランジスタNT4およびNMOSトランジスタNT2の接続点とメモリストリングA1およびビット線BL2の接続点の間には、デプレッション型のNMOSトランジスタNT19

が接続されている。NMOSトランジスタNT18, 19のゲートはデカップル信号供給線DCPLに接続されている。

【0011】NMOSトランジスタNT1のソースとバスラインIOiとの間に、NMOSトランジスタNT3, NT5, NT16が直列に接続され、NMOSトランジスタNT2のソースとバスラインIOi+1との間に、NMOSトランジスタNT4, NT7, NT17が直列に接続されている。また、NMOSトランジスタNT3とNT5の接続点、NMOSトランジスタNT4とNT7の接続点が共通接続され、NMOSトランジスタNT6を介して接地されるとともに、PMOSトランジスタPT1のドレイン、並びにNMOSトランジスタNT8, NT13のゲートに接続されている。そして、NMOSトランジスタNT6のゲートがリセット信号RSTの供給ラインに接続され、PMOSトランジスタPT1のソースが電源電圧Vccの供給ラインに接続され、PMOSトランジスタPT1のゲートが信号Vrefの供給ラインに接続されている。

【0012】ラッチ回路Q1の第1の記憶ノードN1aがNMOSトランジスタNT5とNT16との接続点に接続され、第2の記憶ノードN1bが直列に接続されたNMOSトランジスタNT8～NT10を介して接地されている。ラッチ回路Q2の第1の記憶ノードN2aがNMOSトランジスタNT7とNT17との接続点に接続され、第2の記憶ノードN2bが直列に接続されたNMOSトランジスタNT13～NT15を介して接地されている。また、NMOSトランジスタNT8とNT9の接続点が直列に接続されたNMOSトランジスタNT11, NT12を介して接地されている。NMOSトランジスタNT9のゲートはラッチ回路Q2の第1の記憶ノードN2aに接続され、NMOSトランジスタNT10のゲートは信号φLAT2の供給ラインに接続され、NMOSトランジスタNT11のゲートが第2の記憶ノードN2bに接続され、NMOSトランジスタNT12のゲートが信号φLAT1の供給ラインに接続され、NMOSトランジスタNT14, NT15のゲートが信号φLAT3の供給ラインに接続されている。そして、カラムゲートとしてのNMOSトランジスタNT16のゲートが信号Yiの供給ラインに接続され、NMOSトランジスタNT17のゲートが信号Yi+1の供給ラインに接続されている。

【0013】なお、この図9には示していないが、ラッチ回路の記憶ノードには、ワイヤードOR回路と、そのワイヤードOR回路からデータ反転を検出し書き込みを終了させる判定回路とが接続されている。

【0014】図10は書き込み(プログラム)時のタイミングチャートを示している。また、図11は、従来において一般的な書き込みステップを示している。図10および図11からわかるように、4値の書き込みは3ス

ステップで行い、各ステップでページ単位に書き込みを行うすべてのセルが書き込み十分と判断された段階で次のステップに移行する。

【0015】図9の回路においては、まず、ラッチ回路Q1に格納されているデータによって書き込みが行われ、次にラッチ回路Q2、最後に再びラッチ回路Q1のデータによって書き込みが行われる。書き込みデータが(Q2, Q1) = (1, 0) の場合はラッチ回路Q1は書き込み十分となると“0”から“1”に反転するが、(Q2, Q1) = (0, 0) の場合はラッチ回路Q1は3ステップ目の書き込みデータとしても使用する必要があるため第1ステップで書き込み十分となつても“0”から“1”に反転しない（できない）。

【0016】各ステップでの書き込み終了判定は、図示しない判定回路によって、ラッチされているデータが全て“1”となった段階でそのステップの書き込み終了と判定する。書き込みデータ(Q2, Q1) = (0, 0)のセルは、ワイヤードORによる第1ステップでのラッチ回路Q1の反転は起こらないから、判定回路による終了判定は行われない。

【0017】

【発明が解決しようとする課題】ところで、多値の書き込みは、消去レベルに近い状態の書き込みから順次、消去レベルから離れた状態の書き込みを行っている。このため、書き込みディスターブに弱いレベルほどディスターブを受けていた。たとえば4値のNAND型フラッシュメモリの場合、図11に示すように、書き込みデータが“10”的メモリセルの書き込みを行った後“01”そして“00”的書き込みを行う。書き込みディスターブは蓄積電荷量が少ない“10”的レベルが最も弱いが、書き込みデータが“10”的メモリセルは、書き込み後、“01”、“00”的書き込み時にディスターブを受け、“00”的レベルの書き込みが終了した時点でディスターブによりしきい値電圧Vthがシフトしている可能性がある。多値のレベル数が8値、16値となっていくとステップ数が増えて消去レベルに近い状態のディスターブはさらにきつくなる。

【0018】図12に、8値のNAND型フラッシュメモリの従来の書き込みステップを示す。図12に示すように、従来は消去状態に近いレベルから消去状態から遠いレベルに向かって順次書き込みを行っていく。そして、書き込みレベルに達した段階でビット線電圧を書き込み禁止電圧に変換する。たとえば書き込みデータが“110”的場合、図12のステップ1で書き込みを行い、書き込み十分と判定された段階で、ラッチデータを“111”に反転させて、以後の書き込みでは、ビット線に電源電圧Vccを印加する。ところが、他のストリングに対しても行う続くステップ2～ステップ7の書き込みサイクルでは、ワード線が共通なためディスターブを受ける。

【0019】書き込みデータの中ではディスターブは、デ

ータ“110”が最も弱い。一方、各ステップの書き込み時間は、ステップnのnの値が大きくなるにしたがつて長くなる。以上より、書き込みデータが“110”的メモリセルは最もディスターブ耐性が弱く、最もディスターブ時間が長い。このため、ステップ7の書き込みが終了した段階でディスターブによってしきい値電圧Vthが隣の書き込みレベルに移ってしまっている可能性がある。

【0020】本発明は、かかる事情に鑑みてなされたものであり、その目的は、しきい値電圧が低い書き込みレベルのメモリセルのディスターブ特性を改善し、かつ高速に書き込みが可能な不揮発性半導体記憶装置およびそのデータ書き込み方法を提供することにある。

【0021】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、ビット線電位を複数に変化させて異なるしきい値電圧分布の複数データを並列に書き込むことにより書き込み効率を上げ、かつ、複数ビットのデータを幾つかにグループ化して、ディスターブ耐圧が強い上位のグループから書き込みを行うことにより、ディスターブ耐圧が弱い最下位のグループの書き込みディスターブ時間を短くした。

【0022】すなわち、本発明の不揮発性半導体記憶装置は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、消去状態からのしきい値電圧の変化量に応じて複数ビットのデータを單一メモリセル内に記憶することが可能な不揮発性半導体記憶装置であつて、データ書き込み時に、前記複数ビットのデータのうち消去状態からのしきい値電圧の変化量が最も小さいデータが属する最下位グループより上位のグループのデータの書き込みを行った後、前記最下位グループのデータの書き込みを行い、かつ、各グループの書き込みにおいて、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを並列に書き込むことが可能な書き込み回路を有する。好ましくは、前記書き込み回路は、同一ワード線に接続された同一ページ内の複数のメモリセルに対し、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを、前記ビット線への印加電圧を変えて並列に書き込む。

【0023】具体的に、前記書き込み回路は、前記データのビット数に対応した数の複数のラッチ回路と、前記ビット線の印加電圧を異なる電圧値で供給する複数のビット線電圧供給線と、前記複数のビット線電圧供給線に接続され、前記ビット線の印加電圧を発生させ、少なくとも前記グループ間の書き込みで切り換えて前記複数のビット線電圧供給線に出力するビット線電圧発生・切換回路と、前記複数のラッチ回路と前記ビット線電圧供給線との間に接続され、書き込み時に前記ラッチ回路に設定された書き込みデータに応じて、前記ビット線と前記

ビット線電圧供給線との接続を制御する電圧供給制御回路とを有する。

【0024】また、本発明における前記書き込み制御回路は、好ましくは、前記グループごとの書き込みを前記複数ビットの1ビットを固定とし、他を任意とすることにより行い、前記上位のグループに対するデータの書き込み時に、任意とするビットに対応する前記ビット線電圧供給線に電源電圧を供給する。この場合、前記上位のグループは、最上位ビットを所定コードに固定されたデータ群とし、前記最下位グループは、最上位ビットを前記所定コードの反転コードに固定されたデータ群とするといい。

【0025】さらに、好ましくは、前記書き込み制御回路は、前記複数のラッチ回路および前記複数の電圧供給制御回路を複数のビット線ごとに有し、当該複数のビット線から1つのビット線を選択して前記書き込み制御回路に接続させるビット線選択手段が、ビット線ごとに接続されている。

【0026】本発明の不揮発性半導体記憶装置は、いわゆるNAND型に好適である。すなわち、前記ビット線に接続された第1選択トランジスタと基準電位供給線に接続された第2選択トランジスタとの間に、前記メモリセルが複数個、直列に接続されている。

【0027】本発明の不揮発性半導体記憶装置のデータ書き込み方法は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量を変化させ、その変化に応じてしきい値電圧を変化させ、消去状態からのしきい値電圧の変化量に応じて複数ビットのデータを单一メモリセル内に記憶させる不揮発性半導体記憶装置の書き込み方法であって、書き込み時に、前記複数ビットのデータのうち消去状態からのしきい値電圧の変化量が最も小さいデータが属する最下位グループより上位のグループのデータの書き込みを行った後、前記最下位グループのデータの書き込みを行い、かつ、各グループの書き込みにおいて、消去状態からのしきい値電圧の変化量が異なる複数種類のデータを並列に書き込む。

【0028】このような本発明の不揮発性半導体記憶装置及びそのデータ書き込み方法では、各グループの書き込みにおいて、前記ビット線電圧発生・切換回路によって、異なる電圧レベルのビット線電圧が生成され、これが所定のビット線電圧供給線に印加されている。また、前記ラッチ回路に設定された書き込みデータに応じて、電圧供給制御回路がビット線を所定のビット線電圧供給線に接続する。これにより、所定電圧レベルのビット線電圧が書き込み対象のメモリセルが接続されたビット線に印加される。

【0029】例えばNAND型では、このビット線電圧の印加によってメモリトランジスタ列(NAND列)のチャネル電位が設定される。ビット線電圧が低いほどチャネル電位とワード線電位との書き込み電位差が大きくな

なり、より多くの電荷が電荷蓄積部に注入される。したがって、ビット線電圧を書き込みデータに応じて設定することにより電荷の注入量、ひいてはしきい値電圧を変えた多値データの書き込みが可能となる。また、ビット線電圧をある程度高くすると、上記書き込み電位差が小さくなり、書き込み禁止状態となる。NAND列のチャネルをビット線と切り離して自動昇圧させるセルフブーストにおいては、この書き込み禁止状態となるビット線電圧を電源電圧程度に低くすることができる。

【0030】従来の書き込み方法では、書き込み状態とするビット線電圧は、通常、そのレベルが単一のもの等を用い、ページ内の全てのメモリセルをしきい値分布の低いレベルに一旦書き込んで、より上位のレベルまで書き込むセルに対してのみ追加的な書き込みを行い、これを繰り返して離散化されたしきい値分布を得ていた。

【0031】これに対し、本発明の不揮発性半導体記憶装置では、ビット線印加電圧を従来に比べ大きく、かつビット線ごと(又は複数のビット線ごと)に任意に変化させることができることから、同じ書き込みサイクル内で、異なるしきい値電圧レベルの複数種類のデータを並列に書き込むことができる。したがって、しきい値電圧が高いデータからの書き込みも可能であり、本発明では、複数ビットのデータを上位のグループから書き込み、最後に、最もディステーブル耐性の弱いセルを含む最下位のグループの書き込みを行う。この書き込み制御では、最もディステーブル耐性の弱いセルは、上位のグループの書き込み時に未だ書き込みがされていないのでディステーブルを受けても問題ない。

【0032】

【発明の実施の形態】以下、本発明に係る不揮発性半導体記憶装置及びそのデータ書き込み方法の実施形態を、図面を参照しながら詳細に説明する。

【0033】図1は、本実施形態に係る不揮発性半導体記憶装置の回路図である。この不揮発性半導体記憶装置10は、記憶レベルが8値に対応したものであり、メモリアレイ11、および書き込み/ペリファイア/読出制御回路20を有する。

【0034】メモリアレイ11は、図1に示すように、それぞれメモリセルが共通のワード線WL0～WL15に接続されたメモリストリングA0、A1を繰り返し配置の基本単位として有する。メモリストリングA0はビット線BL0に接続され、メモリストリングA1はビット線BL1に接続されている。メモリストリングA0は、フローティングゲートを有する不揮発性メモリ素子としてのメモリセルトランジスタMT0A～MT15Aが直列に接続されたNANDストリングを有する。このNANDストリングのメモリセルトランジスタMT0Aのドレインが選択ゲートSG1Aを介してビット線BL0に接続され、メモリセルトランジスタMT15Aのソースが選択ゲートSG2Aを介して基準電位線VGLに

接続されている。メモリストリングA1は、フローティングゲートを有する不揮発性メモリ素子としてのメモリセルトランジスタMT0B～MT15Bが直列に接続されたNANDストリングを有する。このNANDストリングのメモリセルトランジスタMT0Bのドレインが選択ゲートSG1Bを介してビット線BL1に接続され、メモリセルトランジスタMT15Bのソースが選択ゲートSG2Bを介して基準電位線VGLに接続されている。

【0035】選択ゲートSG1A, SG1Bのゲートが選択信号供給線SSLに共通に接続され、選択ゲートSG2A, SG2Bのゲートが選択信号供給線GSLに共通に接続されている。

【0036】図1に示す書込／ベリファイ／読出制御回路20は、書込制御回路21を中心とし、ベリファイ／読出制御回路は省略している。この書込／ベリファイ／読出制御回路20は、NMOSトランジスタNT21～NT41、PMOSトランジスタPT21、インバータの入出力同士を結合してなるラッチ回路Q21, Q22, Q23、ビット線電圧発生・切換回路22、インバータ23, 24、および判定回路25, 26を有する。

【0037】このうち、NMOSトランジスタNT25～NT35およびラッチ回路Q21, Q22, Q22により書込制御回路21が構成されている。また、NMOSトランジスタNT27～NT35により、本発明における“電圧供給制御回路”が構成されている。

【0038】ノードSA21とビット線BL0との間に、高耐圧のNMOSトランジスタNT21およびNT23が直列に接続され、ノードSA21とビット線BL1との間に、高耐圧のNMOSトランジスタNT22およびNT24が直列に接続されている。NMOSトランジスタNT23のゲートにアドレスデコード信号Aiが供給され、NMOSトランジスタNT24のゲートに信号/Ai(／は反転を示す)が供給される。また、NMOSトランジスタNT21, NT22のゲートに信号TRNが供給される。

【0039】ノードSA21と接地ラインGNDとの間にNMOSトランジスタNT25が接続され、ノードSA21と電源電圧Vccの供給ラインとの間にPMOSトランジスタPT21が接続されている。NMOSトランジスタNT25のゲートに信号DISが供給され、PMOSトランジスタPT21のゲートに信号Vrefが供給される。

【0040】ノードSA21と接地ラインとの間に、NMOSトランジスタNT26, NT27, NT28が直列に接続されている。NMOSトランジスタNT26とNT27との接続点(ノードSA22)と書き込み時のビット線電圧VB1の供給ラインとの間に、NMOSトランジスタNT29, NT30が直列に接続されている。ノードSA22と書き込み時のビット線電圧VB2

の供給ラインとの間に、NMOSトランジスタNT31, NT32が直列に接続されている。ノードSA22と書き込み時のビット線電圧VB3の供給ラインとの間に、NMOSトランジスタNT33, NT34, NT35が直列に接続されている。これらビット線電圧VB1, VB2, VB3の供給ラインは、ビット線電圧発生・切換回路22に接続されている。

【0041】NMOSトランジスタNT26のゲートに信号PGMが供給され、NMOSトランジスタNT2

10, NT32のゲートがラッチ回路Q22の第2の記憶ノードN22bに接続され、NMOSトランジスタNT28, NT30のゲートがラッチ回路Q23の第2の記憶ノードN23bに接続され、NMOSトランジスタNT29, NT34のゲートがラッチ回路Q22の第1の記憶ノードN22aに接続され、NMOSトランジスタNT31, NT33のゲートがラッチ回路Q23の第1の記憶ノードN23aに接続され、NMOSトランジスタNT35のゲートがラッチ回路Q21の第2の記憶ノードN21bに接続されている。

【0042】ラッチ回路Q23の第1の記憶ノードN23aとバスラインIOi+2との間にNMOSトランジスタNT39が接続され、ラッチ回路Q22の第1の記憶ノードN22aとバスラインIOi+1との間にNMOSトランジスタNT40が接続され、ラッチ回路Q21の第1の記憶ノードN21aとバスラインIOiとの間にNMOSトランジスタNT41が接続されている。これらNMOSトランジスタNT39, NT40, NT41のゲートは信号Yiの供給ラインに接続されている。

【0043】書込終了判定用インバータ23の入力が接地され、出力が判定回路25に接続されている。書込終了判定用インバータ24の入力が接地され、出力が判定回路26に接続されている。この書込終了判定用インバータ23および判定回路25の接続点と接地ラインとの間にNMOSトランジスタNT36が接続され、書込終了判定用インバータ24および判定回路26の接続点と接地ラインとの間に、NMOSトランジスタNT37とNT38が並列に接続されている。NMOSトランジスタNT36のゲートがラッチ回路Q23の第2の記憶ノードN23bに接続され、NMOSトランジスタNT37のゲートがラッチ回路Q22の第2の記憶ノードN22bに接続され、NMOSトランジスタNT38のゲートがラッチ回路Q21の第2の記憶ノードN21bに接続されている。

【0044】つぎに、この図1に示す回路の基本的な書き込み動作を、図2のタイミングチャートに関連づけて説明する。

【0045】スタンバイ時に、信号PGMがローレベル(接地レベル)に設定されてNMOSトランジスタNT26が非導通状態で保持され、ビット線BL0, BL1

11

がラッチ回路Q21～Q23から切り離されている。また、信号D I Sが電源電圧V_{CC}、信号V_{r e f}がハイレベルに設定され、ノードSA21が接地されている。さらに、アドレスデコード信号A_i, /A_iと信号T R Nが共に(V_{CC}-V_{t h})程度の電圧に保持され、NMOSトランジスタNT21～NT24が全て導通状態に保持されている。このため、ビット線BL0, BL1が共に接地されている。

【0046】この状態で書き込みサイクルに入ると、最初のデータ入力モードにおいて、信号Y_iがハイレベルに設定されてNMOSトランジスタNT39～NT41が導通状態に遷移し、書き込みデータがラッチ回路Q21～Q23に取り込まれ保持される。

【0047】つぎにビット線電位の設定モードに入り、まず、信号D I S, V_{r e f}がローレベル(接地レベル)に設定され、これによりNMOSトランジスタNT25が非導通状態に遷移し、いわゆるプリチャージ用PMOSトランジスタPT21が導通状態に遷移する。また、信号T R N, A_i, /A_iの電圧値がP5V(5V程度の電圧)に上がる。このため、ビット線BL0, BL1が電源電圧V_{CC}に充電される。また、メモリストリシングのドレイン側の選択ゲートSG1A, SG1Bのゲートに接続された選択信号供給線SSLが電源電圧V_{CC}レベルに設定される。

【0048】例えば偶数ビット線BL0が選択され、これに接続されたストリングA0が書き込み対象とされた場合、その後、非選択の奇数ビット線BL1側のアドレスデコード信号/A_iがローレベルに設定され、NMOSトランジスタNT24が非導通状態に切り換えられ、非選択のビット線BL1が電源電圧V_{CC}に充電された状態でフローティング状態に保持される。続いて、信号V_{r e f}が電源電圧V_{CC}レベルに切り換えられ、プリチャージ用PMOSトランジスタPT21が非導通状態となり、また信号PGMがハイレベルに設定されて、NMOSトランジスタNT26が導通状態に切り換えられる。これにより、選択ビット線BL0がラッチ回路Q21～Q23に接続されて、選択ビット線BL0が書き込みデータに応じた電圧に設定される。

【0049】たとえば、書き込みデータが“00x(x:0または1)”の場合、ラッチ回路Q23, Q22の第2の記憶ノードN23b, N22bがともにハイレベルになっている。したがって、NMOSトランジスタNT27およびNT28が導通状態に保持されている。このため、ビット線BL0は接地レベルに放電される。

【0050】書き込みデータが“01x”的場合には、ラッチ回路Q23の第2の記憶ノードN23bおよびラッチ回路Q22の第1の記憶ノードN22aがともにハイレベルになっている。したがって、NMOSトランジスタNT29およびNT30が導通状態に保持されてい

10

12

る。その結果、ノードSA21がビット線電圧VB1の供給ラインに接続される。このため、ビット線BL0はVB1に設定される。

【0051】書き込みデータが“10x”的場合には、ラッチ回路Q23の第1の記憶ノードN23aおよびラッチ回路Q22の第2の記憶ノードN22bがともにハイレベルになっている。したがって、NMOSトランジスタNT31およびNT32が導通状態に保持されている。その結果、ノードSA21がビット線電圧VB2の供給ラインに接続される。このため、ビット線BL0はVB2に設定される。

【0052】書き込みデータが“110”的場合には、ラッチ回路Q23, Q22の第1の記憶ノードN23a, N22aとともにハイレベルになっているとともに、ラッチ回路Q21の第2の記憶ノードN21bがハイレベルになっている。したがって、NMOSトランジスタNT33～NT35が導通状態に保持されている。その結果、ノードSA21がビット線電圧VB3の供給ラインに接続される。このため、ビット線BL0はVB3に設定される。

【0053】書き込みデータが“111”的場合には、ラッチ回路Q23, Q22, Q21の第2の記憶ノードN23b, N22b, N21bがローレベルになっている。したがって、NMOSトランジスタNT28, NT30, NT32, NT35が非導通状態に保持されている。その結果、ノードSA21がいずれのビット線電圧供給ラインにも接続されず、また接地線にも接続されない。このため、ビット線BL0はプリチャージ電圧である電源電圧V_{CC}レベルに保持される。

20

【0054】以上のように、書込制御回路21の動作により、選択ビット線BL0の書き込みデータに応じた電圧の供給線(接地線、ビット線電圧VB1～VB3)への接続が制御され、またビット線電圧発生・切換回路22がビット線電圧VB1～VB3の値を予め制御することにより、目標とするしきい値電圧レベルに応じたビット線電位の設定が可能となる。

30

【0055】図1に示す回路はワード線方向に複数設けられており、ページ単位の書き込みにおいて、複数のビット線に異なるレベルの書き込みビット線電圧を設定することができる。このため、つぎの書き込みモードに入ると、選択ワード線WLが書き込み電圧VPGMに設定され、非選択のワード線が書き込み禁止電圧Vpass(<VPGM)に設定されて書き込みが行われるが、この際、同一ページ内でしきい値電圧レベルが異なる複数のデータを並列に書き込むことができる。なお、このとき、非選択のビット線BL1に接続されているメモリストリシングA1のメモリセルのチャネルおよび書き込みデータが“111”的メモリセルのチャネルは、ドレイン側の選択ゲートSG1B, SG1Aによってビット線BL1, BL0から切り離され、ワード線との容量結合に

40

40

50

より非書き込み電位にブーストされて書き込みされない。

【0056】書き込みが終了すると、図2に示すように各信号を変化させた後、ペリファイ読み出しモードに入る。ペリファイ読み出し動作では、書き込みが終了するごとに“000”、“001”、“010”、“011”、“100”、“101”、“110”的書き込みチェックが行われる。この書き込みチェックは、例えは高いレベルから読み出しワード線電圧を段階的に変化させながら繰り返され、所望のしきい値電圧レベルの書き込みが達成されているかが調べられる。書き込みチェックの結果、所望のしきい値電圧レベルの書き込みが達成されている場合は、ラッチ回路の保持データを“111”に変更して、以後の書き込みを禁止する。

【0057】以上のような書き込み、ペリファイ読み出しを、ページ内の全てのセルが書き込み十分と判定されるまで繰り返すことにより、ページ書き込みが終了する。

【0058】本実施形態では、上述したように同一ページ内で目標とするしきい値電圧が異なる複数データの並列書き込みが可能となることに加え、詳しくは後述するが、複数ビットのデータ（本例では8値のデータ群）を幾つかにグループ化して、最下位グループに先立って、これより上位のグループの書き込みを行う。このグループ化したデータ書き込みは、ビット線電圧発生・切換回路2が、まず、上位グループの書き込みに対応した書き込みビット線電圧VB1～VB3の電圧値の組みを設定し、その後、これを最下位グループの書き込みに対応した電圧値の組みに切り換えることによって達成される。

【0059】図3は、図1に示す回路を用いた本実施形態の書き込みステップ例を、グループ化しない場合とともに示す図である。図3(a)に例示したグループ化しない場合では、すべてのデータを並列に書き込む。このグループ化しない場合、最もディスクレーブに弱い最下位のデータ“110”は最も早く書込十分となり、書込の最も遅い最上位のデータ“000”が書込十分と判定されるまでディスクレーブを受けるが、従来の書き込みステップを示す図12に比較すると、ディスクレーブ時間が低減されるることは明らかである。

【0060】これに対し、図3(b)に例示した本発明の場合では、ステップ1で上位グループに属するデータを全て並列に書き込んだ後、ステップ2で下位グループに属するデータを全て並列に書き込む。この場合、最もディスクレーブ耐性が弱い最下位のデータ“110”は、殆どディスクレーブを受けない利点がある。

【0061】以下、最初に、データをグループ化しないで行う書き込み方法を説明した後、本実施形態における書き込み方法の詳細を説明する。そして、最後に、データをグループ化しないで書き込む場合との比較におい

て、本実施形態の書き込み方法のディスクレーブ時間の低減効果を具体的に検証することによって、従来の書き込み方法より大幅にディスクレーブ特性が改善されることを明らかにする。

【0062】【データをグループ化しないで行う書き込み方法】図4には、図3(a)のようにグループ化しない場合において、ビット線電圧の理想的な設定例、図1の回路を用いた現実的な設定例、および現実的な電圧設定による最初の書き込み後のしきい値電圧を示す。

【0063】8値データの書き込みを高速に行うには、全てのデータを一度に並列に書き込むことが有効である。その際、ビット線電圧を書き込みデータに応じて、たとえば図3(a)に示すように、各データに対応して“111”：8.0V、“110”：3.6V、“101”：3.0V、“100”：2.4V、“011”：1.8V、“010”：1.2V、“001”：0.6V、“000”：0.0Vに設定すれば、しきい値電圧V_{th}のシフト量の大きいセルほど高い電界がかかり、結果的に全てのデータの書き込みがほぼ同時に終了する。

【0064】しかし、実際のNAND型メモリでは、いわゆるセルフブーストまたはローカルセルフブーストと称される書き込み禁止手法がラッチ回路の省面積化及び低消費電力化の点から有利で、これとの兼ね合いにより選択ビット線に印加できる電圧の上限が決められる。

【0065】図5に、書き込み時のNANDストリングを示す。選択ワード線にはプログラム電圧V_{PGM}が印加され、その他の非選択ワード線にはバス電圧V_{pas}s(<V_{PGM})が印加される。また、選択ゲートSG1のゲートには電源電圧V_{CC}、選択ゲートSG2のゲートには接地電位GNDが印加される。このワード線および選択ゲートへの印加電圧の条件下、セルフブーストまたはローカルセルフブーストでは、選択ゲートSG2は常時オフであるが、非選択メモリストリングAunsel.のチャネルが昇圧される途中で選択ゲートSG1がカットオフし、フローティング状態になったチャネルが更に高い電圧まで自動昇圧される。したがって、非選択ビット線を介してチャネルに印加できる電圧は、非選択メモリストリングAunsel.のビット線側の選択ゲートSG1のしきい値電圧V_{thDSG}に依存し、書き込み時の選択ゲートSG1のゲート印加電圧を電源電圧V_{CC}とすると、非選択ビット線に印加できる電圧の上限は(V_{CC}-V_{thDSG})となる。このため、選択ビット線への印加電圧の上限値は、この(V_{CC}-V_{thDSG})からマージンを引いた電圧、たとえば1.5Vとなる。

【0066】また、8値データに対応したラッチ回路等をビット線数本分(図1では2本分)のピッチに収める必要があり、回路規模およびレイアウト面積削減の観点から、複数のデータ書き込みで同じ一つのビット線電圧を設定する必要がある。

【0067】以上の理由により、図1の回路動作において説明したように、書き込みデータが“00x (x:0または1)”、“01x”または“10x”的場合において、それぞれ2つのデータに同じ0V, VB1またはVB2のビット線電圧が用いられる。具体的なビット線電位は、例えば図4(b)に示すように、“000”または“001”的書き込み時に0.0V(接地電位)、“010”又は“011”的書き込み時に1.2V(VB1)、“100”又は“101”的書き込み時に1.5V(VB2)、“110”的書き込み時に1.5V(VB3), “111”的書き込み時にVCC(電源電圧)に設定される。

【0068】ところが、このグループ化しない書き込み時において、図3(a)に示すように、すべてのデータを並列に書き込むとすると、並列書き込みにより効率は上がるものの、現実には、すべてのデータが同時に書き込みが終了する訳ではない。これは、上記したように書き込み時のビット線電圧に制限があり、またメモリセルアレイにはメモリ素子のバラツキが存在し、これにより同じバイアス条件でも書き込みの速いセルと遅いセルが存在するからである。

【0069】図6は、1回目の書き込み後のしきい値電圧のシフトを示す図である。この図では、ビット線電圧0V, 1.5V, VCCの場合で、書き込みが速いセルと遅いセルのしきい値電圧Vthが変化する様子を示している。1回目の書き込みにおいて選択ワード線電圧VPGMは“110”的書き込みセルのうち、この最初の書き込みで、最も速いセルが書き込み十分となる値に設定される。このとき、この書き込みが速いセルと遅いセルのしきい値電圧Vthの差異 ΔV_{th0} は、現状では2V程度存在する。したがって、書き込みが速いセルのしきい値電圧を0.2Vとすると、書き込みの遅いセルのしきい値電圧は-1.8V (=0.2V - 2.0V)程度である。この書き込みの遅いセルは、2回目以降の書き込みで、目標とする書き込みデータ“110”的しきい値電圧レベルまで書き込まれる。

【0070】一方、書き込みデータが“00x”的セルは、ビット線電圧0Vで書き込みが行われる。この場合、書き込みが速いセルと遅いセルは、上記書き込みデータ“110”的セルに比べると、1回目の書き込み終了時に、ほぼビット線電圧差1.5Vに相当する電圧だけ高いしきい値電圧となっている。そして、これら書き込みデータが“00x”的セルは全て、2回目以降の書き込みで所定のしきい値電圧レベルに達するまで何回も書き込みが繰り返される。この書き込みデータが“00x”的セルが書き込み十分と判断されるまでの間に、他の書き込みデータのセルが、書き込み回数を追うごとに次第に書き込み十分と判断される。

【0071】このグループ化しない書き込み例では、1回目の書き込みで書き込み十分と判断されたセルは、ほ

ぼ8値データの書き込み時間全域にわたってディスターブを受け続けることになる。この点では、書き込み例(図3(a))は図12の従来の方法と同じであるが、図3(a)は並列書き込みにより効率が大幅に向かっており、その分、ディスターブ時間はかなり短くなっている。

【0072】[グループ化して行う書き込み方法]図7は、図3(b)のようにグループ化する場合において、ビット線電圧の理想的な設定例、図1の回路を用いた現実的な設定例、および現実的な電圧設定による最初の書き込み後のしきい値電圧を示す。上位グループの書き込みにおいて、ビット線電圧を書き込みデータに応じて、たとえば図7(a)に示すように、ビット線電圧を各データに対応して0V~1.8Vに設定すれば、しきい値電圧Vthのシフト量の大きいセルほど高い電界がかかり、結果的に上位グループの全てのデータの書き込みがほぼ同時に終了させることも可能である。しかし、ラッチ回路の回路規模の観点から、図7(b)の様にビット線電圧を設定して書き込みを行う。

【0073】上位グループの書き込みでは、書き込みデータが“000”、“001”、“010”、“011”的セルを対象とした書き込みを行う。したがって、このとき書き込みデータが“100”、“101”、“110”、“111”的セルは書き込み禁止とする必要がある。本実施形態における、この書き込み禁止は、上位グループの書き込み時に、図1のビット線電圧発生・切換回路Q22がビット線電圧VB2とVB3と共に電源電圧VCCに設定することにより達成される。

【0074】書き込みデータが“100”または“101”(“10x”)の場合、図1において、ラッチ回路Q23の第1の記憶ノードN23aおよびラッチ回路Q22の第2の記憶ノードN22bとともにハイレベルであり、このためNMOSトランジスタNT31およびNT32が導通状態になろうとする。ところが、ビット線電圧VB2が電源電圧VCCであることから、NMOSトランジスタNT31およびNT32はカットオフしたまま非導通状態を維持する。この結果、書き込みデータが“100”または“101”的セルの書き込み時に、ビット線BL0にはプリチャージ電圧VCCが維持され、書き込みが禁止される。

【0075】書き込みデータが“110”的場合、ラッチ回路Q23, Q22の第1の記憶ノードN23a, N22aがともにハイレベルになっているとともに、ラッチ回路Q21の第2の記憶ノードN21bがハイレベルになっており、したがってNMOSトランジスタNT33~NT35が導通状態になろうとする。ところが、ビット線電圧VB3が電源電圧VCCであることから、NMOSトランジスタNT33~NT35はカットオフしたまま非導通状態を維持する。この結果、書き込みデータが“110”的セルの書き込み時に、ビット線BL0に

はプリチャージ電圧 V_{CC} が維持され、書き込みが禁止される。

【0076】一方、上位グループ内の書き込みデータについては、先に説明した如く、書き込みデータが “00x” の場合にビット線 B_{L0} が接地レベルに放電され、書き込みデータが “01x” の場合にビット線 B_{L0} は V_{B1} (例えば、1.2V) に設定される。したがって、図3 (b) では、書き込みデータ “00x” と “01x” に対して並列書き込みされる。

【0077】ベリファイ読み出しモードでは、読み出しへト電圧を、3.8V、3.2V、2.6V、2.0V の4回切り換えるながら、書き込みチェックが行われる。そして、この書き込みチェックで書き込み十分と判定されたセルからラッチ回路 $Q_{21} \sim Q_{23}$ のデータを “111” に置き換えていく。その後、ページチェックを行うが、このとき書き込み十分と判定されたセルはラッチ回路 Q_{23} の第1の記憶ノード N_{23a} が “1” となり、第2の記憶ノード N_{23b} が “0”、即ちローレベルとなる。そして、上位グループのすべてのセルが書き込み十分と判定された場合、NMOSトランジスタ N_{T36} がすべてオフしてインバータ I_{23} の出力は V_{CC} を保持し、これを判定回路 I_{25} が検知する。上位グループ内のセルは、元々ラッチ回路 Q_{23} の第2の記憶ノード N_{23b} が “1”、即ちハイレベルであり、書き込み終了すると必ず “0” に反転される。したがって、インバータ I_{23} の出力変化を判定回路 I_{25} が検出すると、上位グループの書き込みが終了したと判断することができる。このページチェックで、ページ書き込み終了と判断されるまで、書き込みとベリファイを繰り返す。

【0078】上位グループが書き込み終了と判断されると、つぎに下位グループの書き込みを行う。下位グループの書き込みでは、上位グループ内のセルに対し既に書き込み禁止が設定されているので、図1のビット線電圧発生・切換回路 Q_{22} がビット線電圧 V_{B2} の供給ラインを電源電圧 V_{CC} から0Vに切り換え、 V_{B3} の供給ラインを電源電圧 V_{CC} から例えば1.2Vに切り換える。このとき、 V_{B1} の供給ラインは上位グループの書き込み時の電圧値 (1.2V) のままでもよいし、電源電圧 V_{CC} に切り換えるてもよい。上位グループの書き込みが終了した段階では、全てのラッチ回路 Q_{23} の第1の記憶ノード N_{23a} はハイレベル、第2の記憶ノード N_{23b} はローレベルとなっているため、NMOSトランジスタ N_{T28} および N_{T30} は非導通状態に維持されているからである。

【0079】書き込みデータが “100” または “101” (“10x”) の場合、図1において、ラッチ回路 Q_{23} の第1の記憶ノード N_{23a} およびラッチ回路 Q_{22} の第2の記憶ノード N_{22b} がともにハイレベルであり、このためNMOSトランジスタ N_{T31} および N_{T32} が導通状態になり、ビット線 B_{L0} に V_{B2} (0

V) が設定される。書き込みデータが “110” の場合、ラッチ回路 Q_{23} , Q_{22} の第1の記憶ノード N_{23a} , N_{22a} がともにハイレベルになっているとともに、ラッチ回路 Q_{21} の第2の記憶ノード N_{21b} がハイレベルになっており、したがってNMOSトランジスタ $N_{T33} \sim N_{T35}$ が導通状態になり、ビット線 B_{L0} に V_{B3} (1.2V) が設定される。なお、非選択の奇数ビット線 (B_{L1} 等) と、上位グループの書き込みにおいて書き込み対象となったセルが接続され、ラッチデータ “111” が設定されている偶数ビット線 B_{L0} の一部とは、プリチャージ時の電源電圧 V_{CC} レベルで保持され、これらのビット線に連なるセルへのデータ書き込みが禁止される。

【0080】したがって、図3 (b) に示すステップ2では、書き込みデータ “110” と “10x” に対する並列書き込みが可能である。

【0081】ベリファイ読み出しモードでは、読み出しへト電圧を、1.4V、0.8V、0.2V の3回切り換えるながら、書き込みチェックが行われる。そして、この書き込みチェックで書き込み十分と判定されたセルからラッチ回路 $Q_{21} \sim Q_{23}$ のデータを “111” に置き換えていく。その後、ページチェックを行うが、このときラッチ回路 Q_{23} のデータは元々 “1” であり、ラッチ回路 Q_{21} と Q_{22} のデータが共に “1” となると、書き込みサイクルが終了し、ラッチ回路 Q_{21} と Q_{22} のデータの何れか一つでも “0” であるセルが存在する場合、このページチェックでページ書き込み終了と判断されるまで、書き込みとベリファイを繰り返す。

【0082】この書き込み方法で、ディスタートで弱い書き込みデータ “110” は上位グループの書き込みの間は未だ書き込みがされていないためディスタートを受けない。この書き込みデータ “110” のセルは、ステップ2で初めてディスタートを受ける。このうち最も長くディスタートを受けるセルは、ステップ2の1回目の書き込みで目標の “110” レベルに到達した書き込みが最も速いセルである。しかし、このグループ化した書き込み方法では、このセルがディスタートを受ける時間は長くても下位グループの書き込み期間に過ぎない。また、ワード線電圧はグループ化しない場合より低い。その結果、グループ化しない場合より大幅にディスタートを低減することができる。また、ベリファイ読み出し回数も、グループ化しない場合より減るので、書き込み時間自体も短くすることができる。

【0083】〔ディスタート時間およびトータルの書き込み時間〕以上述べてきた書き込みにおいて、ISPP (Incremental Step Pulse Programming) 法を用いることができ、グループ化しないで書き込みを行う場合の多値書き込み回数 “Np”、トータルの書き込み時間 “Tp”、および最も長いディスタート時間 “Tdisturb” は、以下の式で定義される。

【0084】

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \dots (1)$$

$$T_p = T_{load} + (T_{pulse} + 7 \times T_{vf}) \times N_p \dots (2)$$

$$T_{disturb} = T_{pulse} \times (N_p - 1) \dots (3)$$

【0085】ここで、 ΔV_{th0} は1回目の書き込みで書き込みが最も速いセルと最も遅いセルとのしきい値電圧 V_{th} の差、 δV_{pp} は昇圧回路の出力変動量、 δV_{ch} はチャネル電位の変動量、 δV_{BL} は理想的に印加したいビット線電圧と実際に印加できる電圧との差、 ΔV_{pp} はISPのステップパルス電圧、 T_{load} はプログラムデータの取り込み時間、 T_{pulse} はISPのパルス幅(書き込み時間)、 T_{vf} は1レベル当たりに換算したベリファイ時間を表す。

【0086】データをグループ化しないで書き込む場合では、上記(1)式～(3)式に例えれば、 ΔV_{th0} ：
2.0V、 δV_{pp} ：0.5V、 δV_{ch} ：0.1V、 δV_{BL} ：2.1V (=3.6V-1.5V)、 ΔV_{pp} ：0.2V、 T_{load} ：25μs (≈50ns(転送速度) × 512(1ページ当たりのバイト数))、 T_{pulse} ：15μs、 T_{vf} ：4μsを代入する。その結果、多値書き込み回数 N_p は25回、トータルの書き込み時間 T_p は1188μs、最も長いディスターブ時間 $T_{disturb}$ が360μsという計算値が得られた。

【0087】一方、本実施形態においては、ディスターブを最も長く受けるセルは、上位グループの1回目の書き込みで書き込み十分と判定された書き込みデータ“011”的セルであり、上位グループの書き込みが全て終了した後、下位グループの書き込みを行う。上位グループの書き込み時の選択ワード線電圧は、後に行う下位グループの書き込み時の選択ワード線電圧と比較すると、※30

$$N_{p1} = N_p 2$$

$$= 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \dots (4)$$

$$T_p = T_{load} + (T_{pulse} + 4 \times T_{vf}) \times N_{p1} + (T_{pulse} + 3 \times T_{vf}) \times N_{p2} \dots (5)$$

$$T_{disturb1} = T_{pulse} \times (N_{p1} + N_{p2} - 1) \dots (6-1)$$

$$T_{disturb2} = T_{pulse} \times (N_{p2} - 1) \dots (6-2)$$

【0091】これらの式に、前記と同様に各変数に具体的な数値を代入するが、ここで、理想的に印加したいビット線電圧の最大値と実際に印加できる電圧との差 δV_{BL} については、2つの書き込みデータに対して1つのビット線電圧を用いたことによる0.6Vが適用される。その結果、多値書き込み回数 N_p は各グループに対し17回で合計34回、トータルの書き込み時間 T_p は1011μs、下位グループで最も長いディスターブ時間 $T_{disturb2}$ が240μs、上位グループで最も長いディスターブ時間 $T_{disturb1}$ が、この $T_{disturb2}$ との合計で495μsという計算値が得られた。すなわち、ディスターブに最も弱い書き込みデータ“110”的セルに対するディスターブ時間($T_{disturb2}$)がグループ化しないで行う場合の360μsから240μsへと大幅に低減

40

され、また、トータルの書き込み時間 T_p もグループ化しないで行う場合の1188μsから1011μsへと低減された。

【0092】なお、上記説明ではデータをしきい値電圧分布の上位と下位の2グループに分けて書き込みを行う場合を述べたが、データを更に多くのグループに分けて書き込みをすることも可能である。その場合、本発明では、少なくとも最下位のグループに属するデータ群を最後に書き込むことを条件とする。

【0093】

【発明の効果】本発明に係る不揮発性半導体記憶装置及びそのデータ書き込み方法によれば、しきい値電圧分布の最下位グループに先立って上位のグループのデータ書き込みを行い、最後に最下位グループのデータ書き込み

* * 【数1】

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \dots (1)$$

$$T_p = T_{load} + (T_{pulse} + 7 \times T_{vf}) \times N_p \dots (2)$$

$$T_{disturb} = T_{pulse} \times (N_p - 1) \dots (3)$$

※その書き込むしきい値電圧 V_{th} の分布レベルが高いため(理論上は2.4V程度)高い電圧からスタートする。したがって、上位グループでディスターブを最も長く受ける書き込みデータ“011”的セルは、下位グループと比較すると強いディスターブを受け、 $T_{disturb1}$ で表すディスターブ時間も長くなるが、このしきい値電圧 V_{th} の分布が高いセルは元々ディスターブに強いセルであり、しきい値電圧が隣のしきい値電圧分布レベルと混同するようなデータシフトの可能性は低い。

【0088】これに対し、下位グループで最も長くディスターブを受けるセル、即ち下位グループの1回目の書き込みで書き込み十分と判定された書き込みデータ“110”的セルは、上記した高い選択ワード線電圧の印加による上位グループの書き込み終了後に初めてディスターブを受ける。このため、この最もディスターブに弱いとされる書き込みデータ“110”的セルについては、 $T_{disturb2}$ で表すディスターブ時間が、グループ化しないで行う書き込みに比べ大幅に短縮される。

【0089】上位グループの多値書き込み回数を N_{p1} 、下位グループの多値書き込み回数を N_{p2} 、上位グループのトータルな書き込み時間を T_{p1} 、下位グループのトータルな書き込み時間を T_{p2} 、および上位および下位のグループの最も長いディスターブ時間 $T_{disturb1}$ 、 $T_{disturb2}$ は、以下の式で定義される。

【0090】

【数2】

$$N_{p1} = N_p 2$$

$$= 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \dots (4)$$

$$T_p = T_{load} + (T_{pulse} + 4 \times T_{vf}) \times N_{p1} + (T_{pulse} + 3 \times T_{vf}) \times N_{p2} \dots (5)$$

$$T_{disturb1} = T_{pulse} \times (N_{p1} + N_{p2} - 1) \dots (6-1)$$

$$T_{disturb2} = T_{pulse} \times (N_{p2} - 1) \dots (6-2)$$

され、また、トータルの書き込み時間 T_p もグループ化しないで行う場合の1188μsから1011μsへと低減された。

【0092】なお、上記説明ではデータをしきい値電圧分布の上位と下位の2グループに分けて書き込みを行う場合を述べたが、データを更に多くのグループに分けて書き込みをすることも可能である。その場合、本発明では、少なくとも最下位のグループに属するデータ群を最後に書き込むことを条件とする。

【0093】

【発明の効果】本発明に係る不揮発性半導体記憶装置及びそのデータ書き込み方法によれば、しきい値電圧分布の最下位グループに先立って上位のグループのデータ書き込みを行い、最後に最下位グループのデータ書き込み

50

21

を行うことから、最もディステープに弱いセルのディステープ時間が短縮されて、ディステープ耐性が向上する。また、トータルの書き込み時間も短縮される。

【図面の簡単な説明】

【図1】本発明の実施形態に係る不揮発性半導体記憶装置の回路図である。

【図2】図1に示す回路の基本的な書き込み動作を示すタイミングチャートである。

【図3】図1に示す回路を用いた本実施形態の現実的な書き込みステップ例を、グループ化しない場合とともに示す図である。

【図4】書き込みをグループ化しないで行う場合において、ビット線電圧の理想的な設定例、図1の回路を用いたときの現実的な設定例、および現実的な電圧設定による最初の書き込み後のしきい値電圧を示す図である。

【図5】書き込み時のNANDストリングを示す図である。

【図6】書き込みをグループ化しないで行う場合の1回目の書き込み後のしきい値電圧のシフトを示す図である。

【図7】書き込みをグループ化して行う本実施形態の場合において、ビット線電圧の理想的な設定例、図1の回路を用いたときの現実的な設定例、および現実的な電圧設定による最初の書き込み後のしきい値電圧を示す図である。

【図8】NAND型フラッシュメモリにおいて、1個のメモリトランジスタに2ビットの4値データを記録する場合の、しきい値電圧V_{t h}分布とデータ内容との関係を示す図である。

22

* 【図9】従来技術で挙げた文献に開示されたページ単位で書き込みを行うNAND型フラッシュメモリの要部構成を示す回路図である。

【図10】図9の回路における書き込み（プログラム）時のタイミングチャートである。

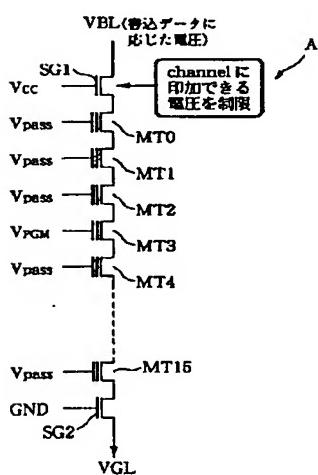
【図11】4値のNAND型フラッシュメモリの従来の一般的なデータ書き込みのステップを示す図である。

【図12】8値のNAND型フラッシュメモリの従来の一般的なデータ書き込みのステップを示す図である。

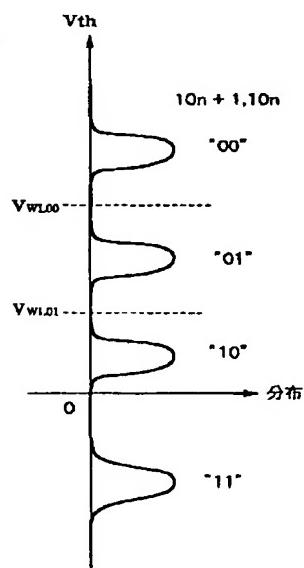
10 【符号の説明】

1 1 …不揮発性半導体記憶装置、2 0 …書込／ベリファイ／読出制御回路、2 1 …書込制御回路、2 2 …ビット線電圧発生・切換回路、2 3, 2 4 …書込終了判定用インバータ、2 5, 2 6 …判定回路、A 0, A 1 …ストリング、MT 0 A～MT 1 5 A, MT 0 B～MT 1 5 B …メモリセルトランジスタ、SG 1 A, SG 2 A, SG 1 B, SG 2 B …選択ゲート、NT 2 1～NT 4 1 …NMOSトランジスタ、PT 2 1 …PMOSトランジスタ、Q 2 1, Q 2 2, Q 2 3 …ラッチ回路、BL 0, BL 1 …ビット線、WL 0 等…ワード線、SSL, GSL …選択制御線、VGL …基準電位供給線、IO i～IO i + 2 …データバス、TRN, Vref, DIS, Yi …各種信号、SA 2 1 等…ノード、N 2 1 a～N 2 3 a …ラッチ回路の第1の記憶ノード、N 2 1 b～N 2 3 b …ラッチ回路の第2の記憶ノード、VB 1～VB 3 …ビット線電圧供給線、Vcc …電源電圧、GND …接地電位、Vth …しきい値電圧、VPGM …プログラム電圧、Vpass …パス電圧。

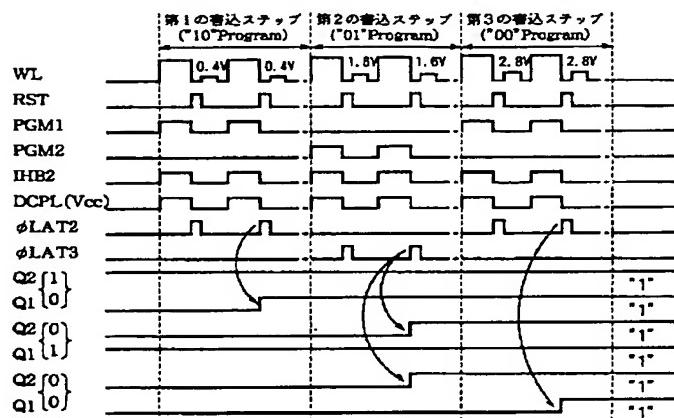
【図5】



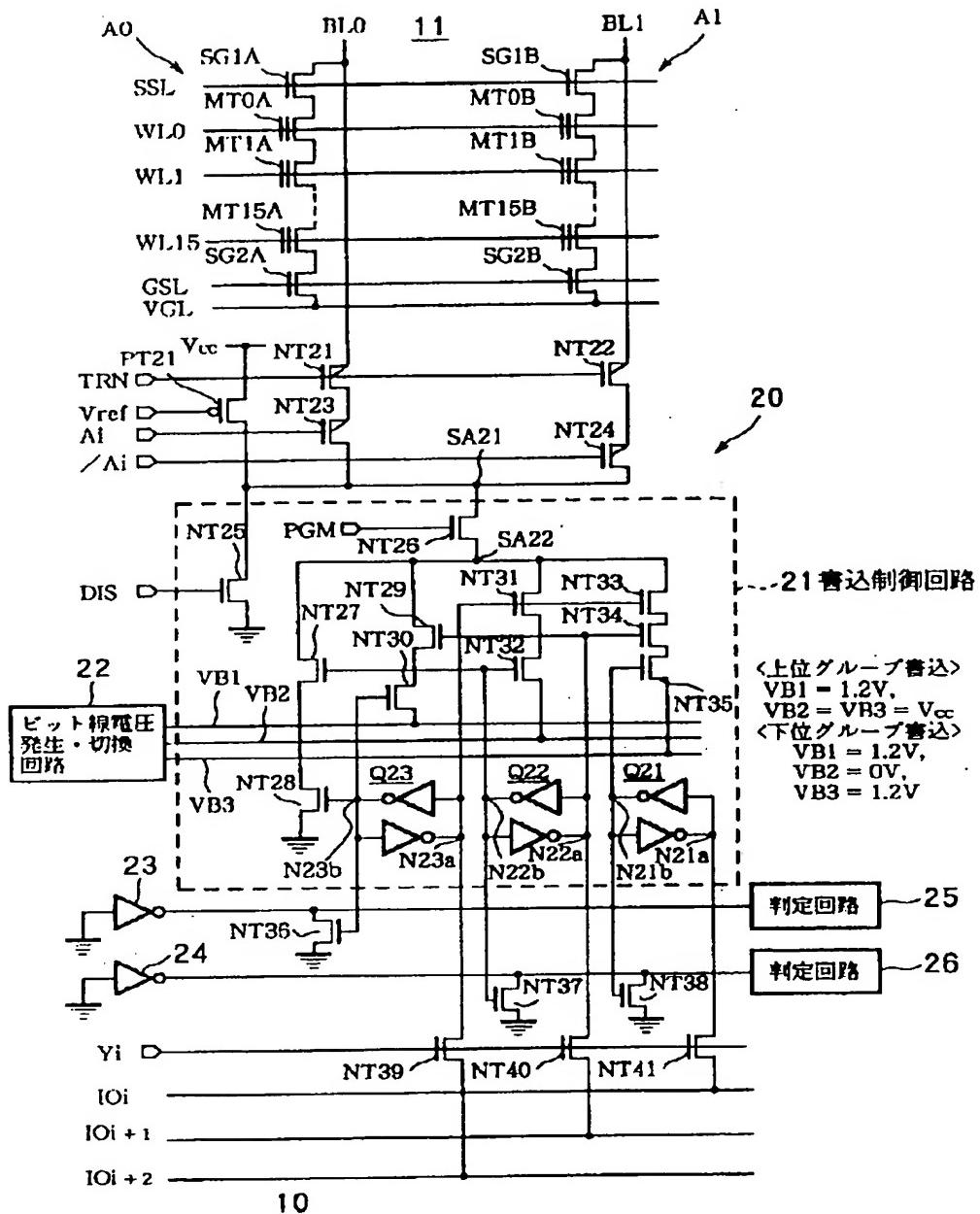
【図8】



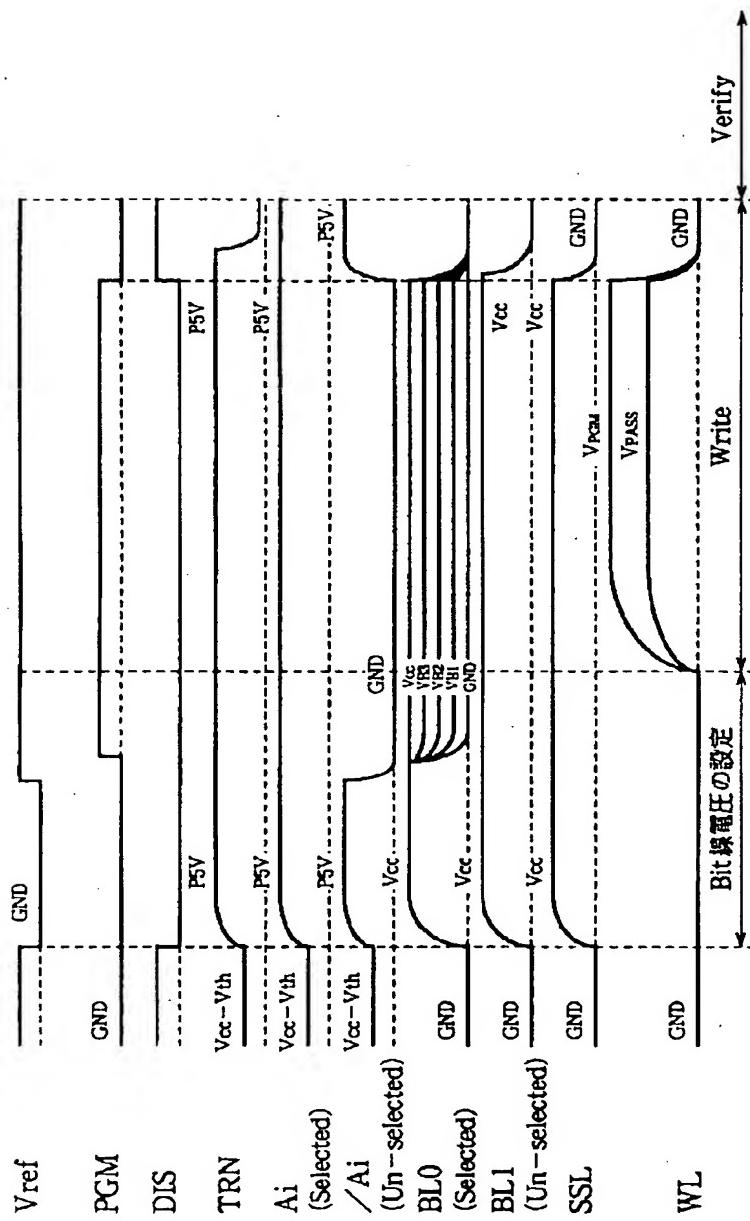
【図10】



【図1】



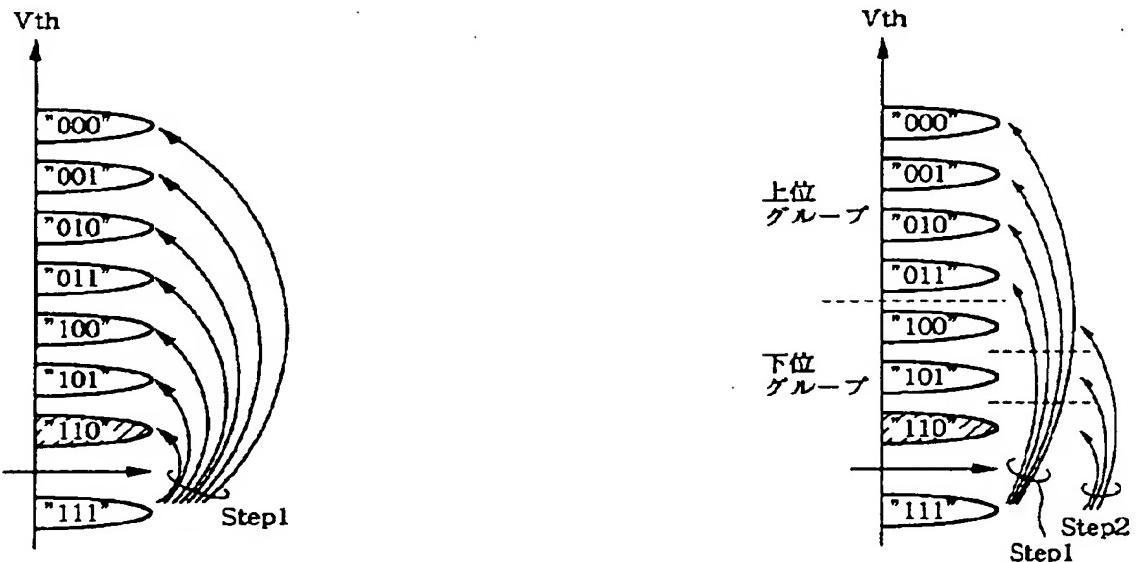
【図2】



【図3】

(a) グループ化しない場合の
データ書き込みステップ例

(b) 本発明(グループ化する場合)の書き込み例(実施形態)



【図 4】

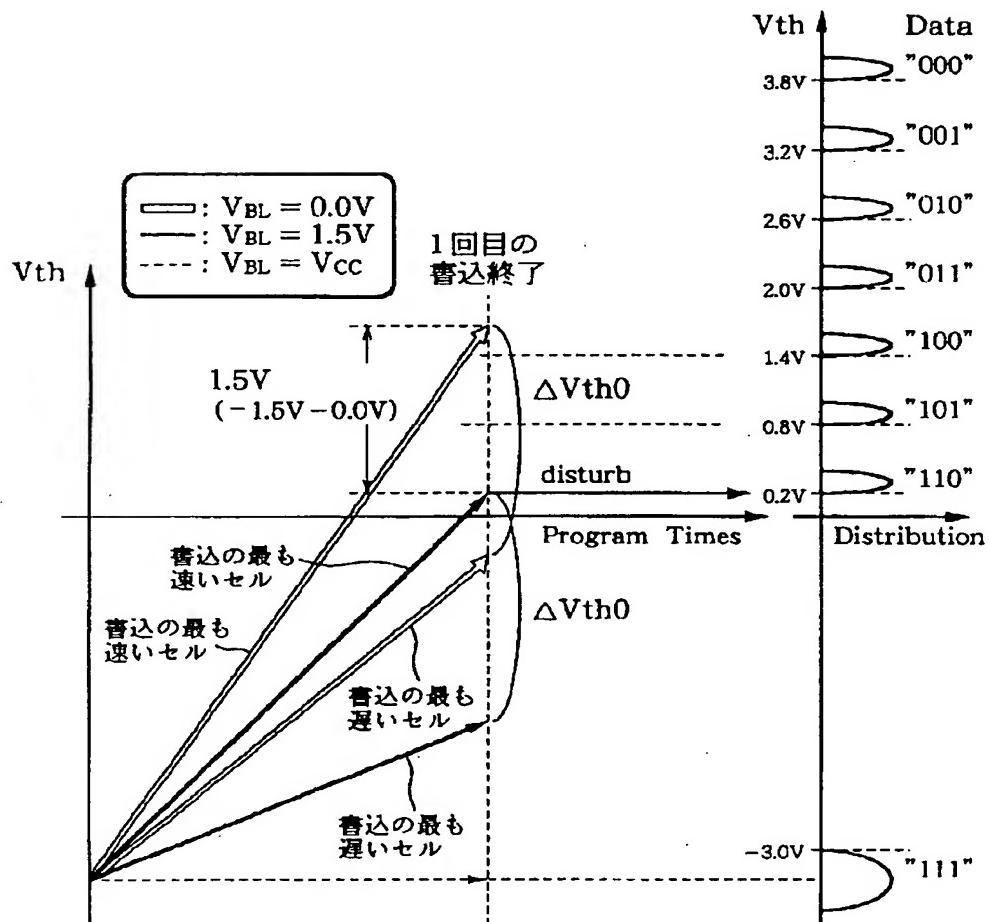
グループ化しないで行う1回目の書き込み後のVthシフト

(a) 理想的な書き込み時のVth
(b) 実際の書き込み時のVth
(c) 書込みの最も速いセルのVth
(d) 残りのshift量
(e) 書込みの最も遅いセルのVth
(f) 残りのshift量

Cell	Bit Pattern	Vth (Data)	Vth (Bit)	Vth (最快)	Shift (d)	Vth (最遅)	Shift (f)
a	"000"	0.0V		+1.7V	2.1V	-0.3V	4.1V
b	"001"	0.6V	0V	+1.7V	1.5V	-0.3V	3.5V
c	"010"	1.2V		+0.5V	2.1V	-1.5V	4.1V
d	"011"	1.8V	(VB1)	+0.5V	1.5V	-1.5V	3.5V
e	"100"	2.4V		+0.2V	1.2V	-1.8V	3.2V
f	"101"	3.0V	(VB2)	+0.2V	0.6V	-1.8V	2.6V
g	"110"	3.6V	1.5V (VB3)	+0.2V	0.0V	-1.8V	2.0V
Distribution							
	"111"	8.0V	V_{cc}	$< -3V$	0.0V	$< -3V$	0.0V

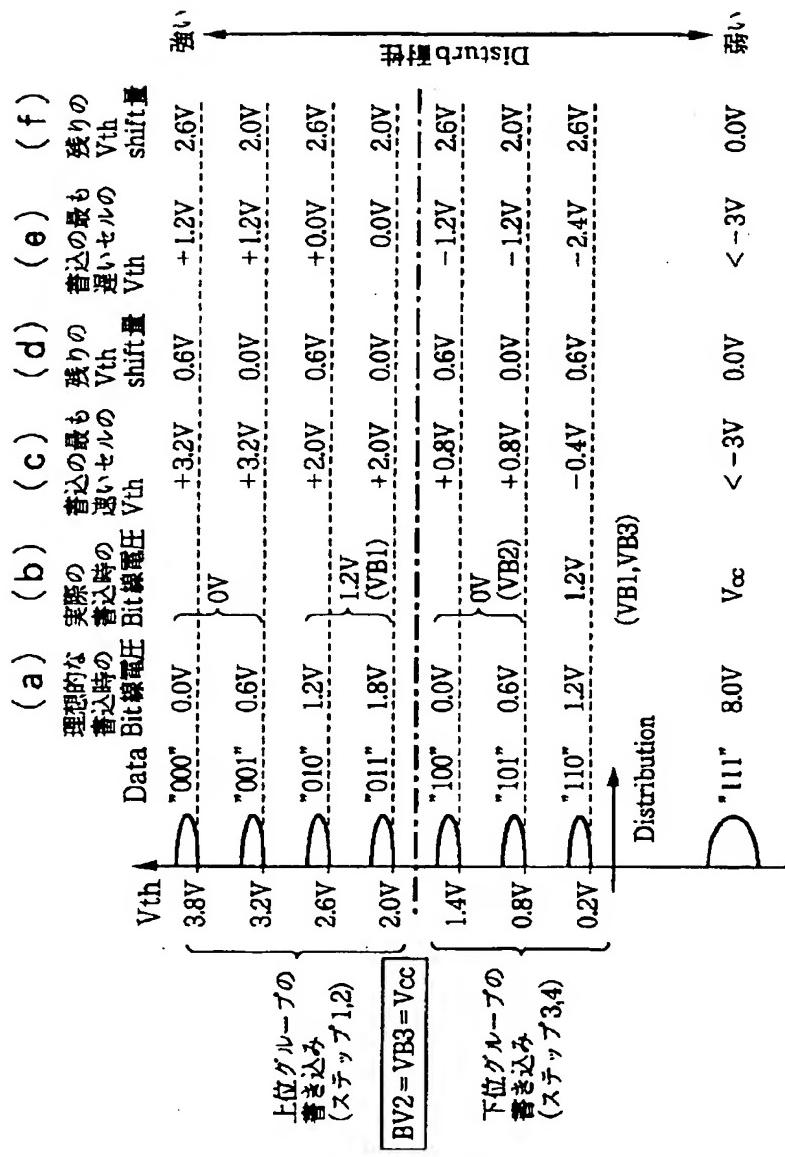
強い
↓ Disturb 著しい
↓ 弱い

【図6】

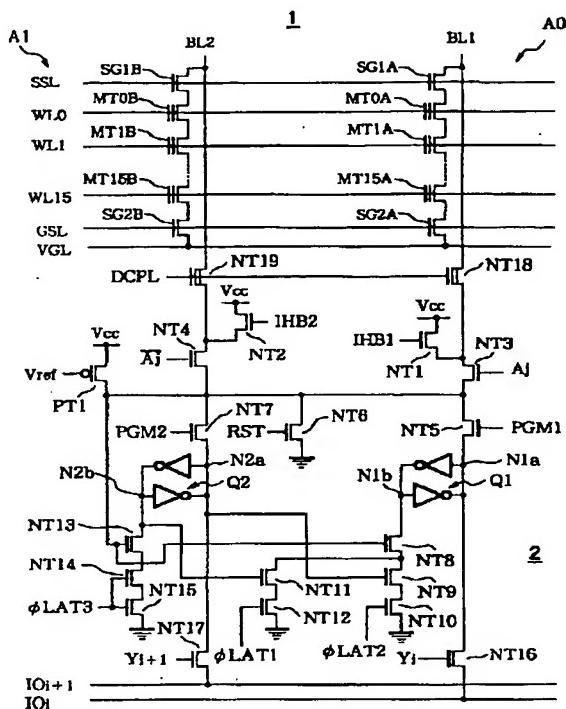
1回目の書込終了後のVthシフト

【図7】

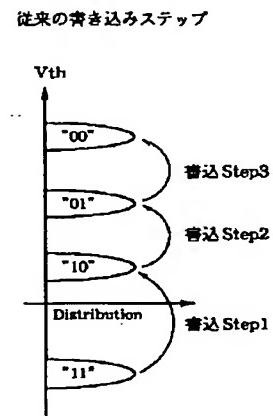
本発明の実施形態（グループ化した場合）の1回目の書き込み後のV_{th}シフト上



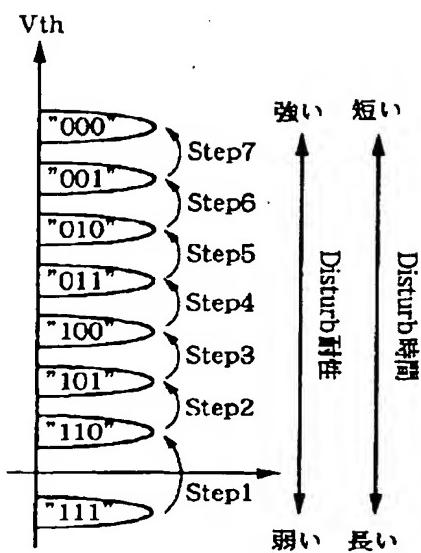
【図9】



【図11】



【図12】



フロントページの続き

(51) Int. Cl. 7
H 01 L 21/8247
29/788
29/792

識別記号

F I
H 01 L 27/10
29/78

テマコード*(参考)

4 3 4
3 7 1

F ターム(参考) 5B025 AA03 AB01 AC01 AD03 AD04
AD09 AE08
5F001 AA01 AB02 AD12 AD41 AD53
AE02 AE03 AE08 AF06 AF20
AG40
5F083 EP02 EP22 EP32 EP76 GA01
GA11 GA30 LA10 ZA21